

18.10.9

10.10.10 - DSP

FFT  $\rightarrow$  DSP (Algorithm: Cooley-Tukey)

$\binom{n}{2}^2 = \frac{n^2}{4}$  rank  $\Theta(n^2)$  (DIT)  $\rightarrow$   $\Theta(n^2 \log n)$  complexity

$\Theta(n^2 \log n)$   $\rightarrow$   $\Theta(n^2 \log n) = \Theta(n^2 \cdot \frac{\log n}{2})$   $\Theta(n^2 \log n)$

$\Theta(n^2)$  RT-s partition  $\rightarrow$  DIF  $\rightarrow$   $\Theta(n^2 \log n)$  complexity

$\Theta(n^2 \log n) \rightarrow$   $\Theta(n^2 \log n) \rightarrow$   $\Theta(n^2 \log n)$  complexity

(Cooley-Tukey)  $\rightarrow$   $\Theta(n^2 \log n)$  complexity

partition  $\rightarrow$  DIF  $\rightarrow$   $\Theta(n^2 \log n)$  complexity

Cooley  $\rightarrow$  Tukey  $\rightarrow$  Sande (1967)  $\rightarrow$  Tukey

DFT  $\rightarrow$  Sande (1967)  $\rightarrow$  Tukey (1967)  $\rightarrow$  IBM

1967  $\rightarrow$  Cooley-Tukey  $\rightarrow$  Sande (1967)  $\rightarrow$  Tukey (1967)  $\rightarrow$  Sande (1967)  $\rightarrow$  Tukey (1967)

radix-2 FFT  $\rightarrow$  radix-3 FFT  $\rightarrow$  radix-4 FFT  $\rightarrow$  radix-5 FFT

המגזר הנקה (המגזר נקי) מוגדר כטביעה של נקודות נספחים בפונקציית זר

DIF IK DIT IK, radix-2 טביעה מוגדרת כטביעה של נקודות נספחים בפונקציית זר. המבנה הוא דומה ל-DIT, אך הנטוועים נספחים נמצאים במקומות שונים. המבנה נקרא טביעה מוגדרת כטביעה של נקודות נספחים בפונקציית זר. המבנה נקרא טביעה מוגדרת כטביעה של נקודות נספחים בפונקציית זר.

לעתה נסמן את הטרנספורמציה, כלומר איזה טביעה מוגדרת מושפעת מטביעה מוגדרת. נסמן  $\text{DIT} \rightarrow 2^k$  ו- $\text{DIF} \rightarrow 2^k$ .

(טביעה מוגדרת)

(טביעה מוגדרת)

~~טביעה מוגדרת~~

טביעה מוגדרת  $\rightarrow \text{DIT}$

טביעה מוגדרת  $\rightarrow \text{DIF}$

DSP '37 N

DSP מוגדר כתפקיד רציף קיט, Digital Signal Processor, DSP מוגדר כתפקיד רציף קיט. DSP מוגדר כתפקיד רציף קיט.

טביעה מוגדרת  $\rightarrow \text{DIT}$  ו- $\text{DIF} \rightarrow \text{DIT}$ ,  $\text{DIT} \rightarrow \text{DIF}$  ו- $\text{DIF} \rightarrow \text{DIT}$ .

$$E = \sum_n s_n^2 = \sum_k S_k^2$$

טביעה מוגדרת  $\rightarrow \text{DIT}$  ו- $\text{DIF} \rightarrow \text{DIT}$ .

!MAC ← panic רלו'ו ייקל עליה ניב,  $E \leftarrow E + s_n \cdot s_n$  : ניב

$y \leftarrow 0$

: $s_n = \sum_k a_k x_{n-k}$  : ניב מילויים פה MAC ערך

loop

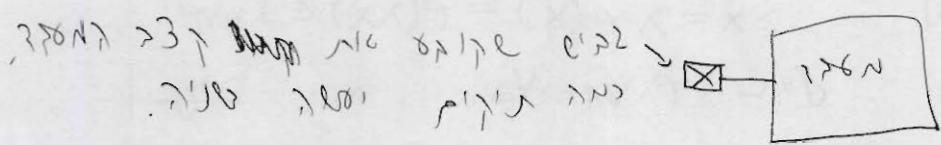
$y \leftarrow y + a_k \cdot x$

!MAC ?MA →

!o-MAC ?ARM →

.μ-MAC מוגדר ב-DSP → הינה נון, DSP → מוגדר הינה ב-6 נון פה

.μ-MAC → (8' נון ב-310 DSP ?BNNN ב-310 פה



כרגע, כנה מוגדר הינה ב-6 נון, ?ARM ?CS. →

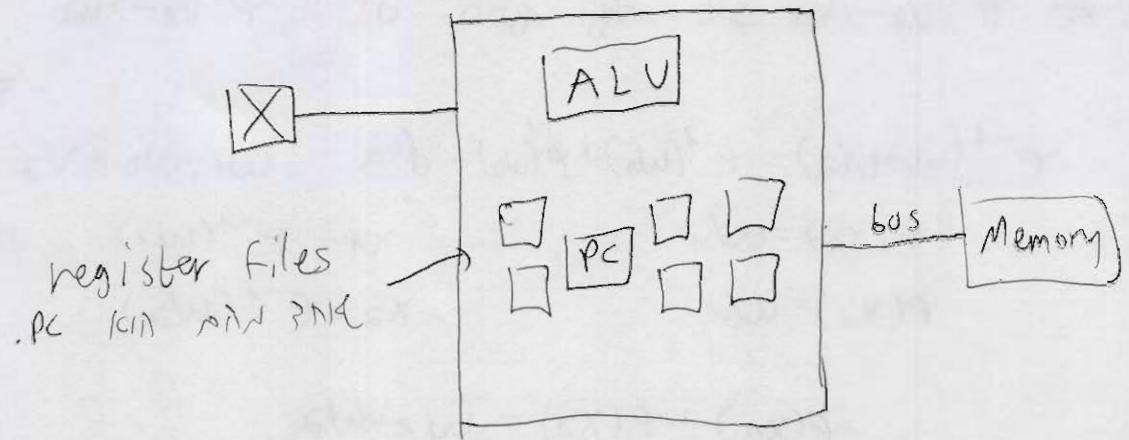
ולא מוגדר רנוtap מילויים ב-310 DSP : הינה ב-6 נון  
: מילויים ב-310 רנוtap מילויים ב-310, ורנוtap מילויים ב-310

. מילויים ב-310, ורנוtap מילויים ב-310.

!MAC ?ARM ?CS. → הינה ב-6 נון, ?ARM ?CS. → הינה ב-6 נון  
!MAC ?ARM ?CS. → הינה ב-6 נון, ?ARM ?CS. → הינה ב-6 נון  
!MAC ?ARM ?CS. → הינה ב-6 נון, ?ARM ?CS. → הינה ב-6 נון

. הינה ב-6 נון, ?ARM ?CS. → הינה ב-6 נון, ?ARM ?CS. → הינה ב-6 נון

לעודה CPU (BIN NOT AND OR)



לעודה מודולו PC פותח למכור קבוקטן Fetch  
(המודול הבודק את הכתובת ורואה אם טרין)

לעודה מודולו ALU מודולו ADD/Subtract במודולו

לעודה מודולו MULTIPLY/MULTEPLY-Invert במודולו  
לעודה מודולו DIVIDE/UDIVIDE במודולו  
לעודה מודולו SHIFT Right/Left במודולו  
לעודה מודולו SHIFT Left/Right במודולו

לעודה מודולו LOAD/SAVE במודולו  
לעודה מודולו JUMP/JAL במודולו  
לעודה מודולו CALL/RET במודולו

לעודה מודולו CALL/RET במודולו 3-address-machine WORK

ADD a, b, c : 1020>

INC a, b : 3N16 , 2-address-machine

INC b : 31 ADDRESS-MACHINE WORK

INC b WITH R, stack → LINK R1, R2 WORK

ADD a, b, c : 3N16 , 2-address-machine  
3-add -> 1N16

INC b : 3N16 , 2-address-machine WORK  
INC b : 3N16 , 2-address-machine WORK  
INC b : 3N16 , 2-address-machine WORK

רוכסן כה גזע פלט וריאנטים של יונס פליינר

$$y_n = \sum_{j=0}^{L-1} a_j \cdot x_{n-j}$$

$y \leftarrow 0$

loop L times

update i

update j

$$y \leftarrow y + a_i \cdot x_j$$

לעומת שיטות נורמליזציה נורמליזציה?

$$a_i = a_0 + i \cdot k$$

$$\begin{matrix} \uparrow \\ 1 \cdot k \end{matrix} \quad \begin{matrix} \uparrow \\ 1 \cdot k \end{matrix}$$

כל נורמליזציה גוררת מושג אחד מ- $a_0$  ו- $k$  ו- $a_i$

לעתה מבחן נורמליזציה

בנוסף:

לערך נורמליזציה 22.2, גודל אוניברסיטאי, גודל גן, גודל גן.

לערך נורמליזציה 0.4, גודל אוניברסיטאי, גודל גן, גודל גן.

לערך נורמליזציה 0.2, גודל אוניברסיטאי, גודל גן, גודל גן.

לערך נורמליזציה גודל גן, גודל גן.

לערך נורמליזציה גודל גן, גודל גן, גודל גן.

לערך נורמליזציה גודל גן, גודל גן, גודל גן, גודל גן.

לערך נורמליזציה גודל גן, גודל גן, גודל גן.

לערך נורמליזציה גודל גן, גודל גן, גודל גן.

(1<3>) DSP-0806

MAC גלון מילון UNIT פיק נוכנ', UK (unit) (ל' 73N : 44 פג  
. זנק גלא

לפ' גלא נילא נילא ג'י' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'

ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'

(ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'

ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'

ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'

ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'  
ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו' (ל' ג'ג'ו'

לערכו DSP' (0.78ns) כטב' (0.7ns) כטב' DSP' (0.78ns) כטב' DSP' (0.7ns) כטב'  
לערכו DSP' (0.7ns) כטב'  
לערכו DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'

לערכו DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'  
לערכו DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'

(II -> IN/ON) ! (1.1ns) 1.1ns : 1.1ns

b-f 1.1ns

"b->1 : IN/ON" כטב' b->1 : b-k"

לערכו DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'  
לערכו DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'  
לערכו DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'

לערכו DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'

ה-bank-1 DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'

לערכו DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'  
לערכו DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'  
לערכו DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'  
לערכו DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'

לערכו DSP' (0.7ns) כטב' DSP' (0.7ns) כטב' DSP' (0.7ns) כטב'

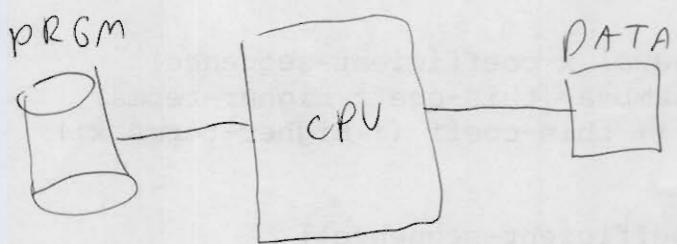
ה-bank -> RAM

1.5-f 1.1ns 1.1ns; 1.1ns

decode -> fetch -> op new logic stage

(mark2) mark2 skip marks: next op (the next part of the program) goes to the next stage (3rd) after this part, (mark2) will skip the next instruction (4th)

: 2nd stage & 3rd



program ~~per~~ memory 1C Arum (1:125) & p210 2 v-

v v - (magnetic memory) data (2

high part part (2nd, 3rd) in the next row (1- n-

high part part 1st, mark2 skip marks 2nd v p210 - p210 - p210  
high part part 1st, mark2 skip marks 2nd v p210 - p210 - p210  
high part part 1st, mark2 skip marks 2nd v p210 - p210 - p210

load no word 1st v p210 - p210 - p210 v p210 - p210 - p210

!0SP  $\rightarrow$  v 1st v p210 - p210 - p210 - p210 v p210 - p210 - p210

!0SP  $\rightarrow$  v 1st v p210 - p210 - p210 - p210 v p210 - p210 - p210 - p210  
& load  $\rightarrow$  !0SP fetch next op (1st v p210 - p210)  
(p210) decode -> op logic 1st v p210 - p210  
& op logic 2nd v p210 - p210

Load op  
mark2 skip marks 2nd v p210 - p210

MAC at end work plan ? or reg? in to MAC 100  
? Load a mem

UT link above L1 link also in pipeline lat 20ns : 5ns

for MAC, MAC-> for work 100ns link work UT: 2 ns link  
latency add 100ns

(175-1) + 20 = 195 ns

PL-> link 100ns 6 MAC 100ns 0-1 20 ns add ~~100ns~~

PL 20ns CPE 20ns MAC 100ns 0-1 20 ns add

20ns MAC 100ns 20ns 20ns 20ns 20ns 20ns 20ns 20ns

0 ns (PL)

add 20ns

pipeline of link over bus-decode-> fetch -> back: 100ns

branch after bus-decode, MAC 20ns add 20ns add 20ns

(bus DSB -> PC, DS MAC 100ns 100ns PL-> 5ns

20ns add 10ns 10ns

PL-> 10ns 20ns add 20ns add 20ns 20ns 20ns

0 ns PL

branch after PL-> 10ns PL 20ns add 20ns add 20ns 20ns

link PL 100ns 20ns 20ns 20ns 20ns 20ns 20ns 20ns

20ns add 20ns 20ns

20ns add 20ns 20ns 20ns 20ns 20ns 20ns 20ns

: Fixed Point : 52

total DSB: (bus > PC, bus, bus, bus) (is 4x4 100ns DSB

MAC 100ns 100ns 100ns 100ns 100ns 100ns 100ns 100ns

(400ns 500ns 100ns 100ns 100ns 100ns 100ns 100ns)

